

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-251230

(43)Date of publication of application : 06.09.2002

(51)Int.Cl.

G06F 1/26

(21)Application number : 2001-046768

(71)Applicant : NEC GUMMA LTD

(22)Date of filing : 22.02.2001

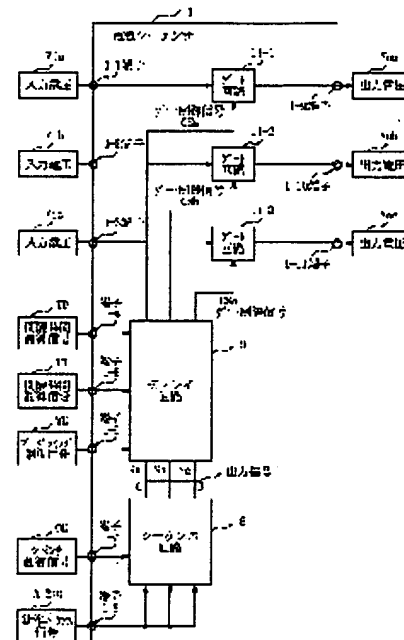
(72)Inventor : ISHIZAKA YASUHIRO

(54) POWER SOURCE ON/OFF SEQUENCE CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To make the output order and time intervals of a plurality of input voltages variable.

SOLUTION: A power source sequencer 1 is provided with a sequence circuit 8 for deciding a sequencer control signal OE and an operation sequence signal from a T1-7 and a T1-8, and for outputting output signals Sa, Sb, and Sc, a delay circuit 9 for receiving the output signals Sa, Sb, and Sc, time interval control signals T0 and T1 from a T1-4 and a T1-5, and a programming control signal WE from a T1-6, and for deciding the time interval of the operation sequence, and for outputting gate control signals CSa, CSb, and CSc, and gate circuits 11-1, 11-2, and 11-3 for controlling the output order and time intervals of input voltages Via, Vib, and Vie from a T1-1, T1-2, and T1-3 according to the gate control signals CSa, CSb, and CSc from the delay circuit 9, and for allowing a T1-9, aT1-10, and T1-11 to output them as output voltages Voa, Vob, and Voc.



LEGAL STATUS

[Date of request for examination] 17.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3480721

[Date of registration] 10.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-251230

(P2002-251230A)

(43) 公開日 平成14年9月6日 (2002.9.6)

(51) Int.Cl.⁷
G 0 6 F 1/26

識別記号

F I
G 0 6 F 1/00

データベース(参考)

3 3 4 D 5 B 0 1 1

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2001-46768(P2001-46768)

(22) 出願日 平成13年2月22日 (2001.2.22)

(71) 出願人 000165033

群馬日本電気株式会社

群馬県太田市西矢島町32番地

(72) 発明者 石坂 泰宏

群馬県太田市西矢島町32番地 群馬日本電

気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5B011 DA01 DB19 EA02 EB07 EB08

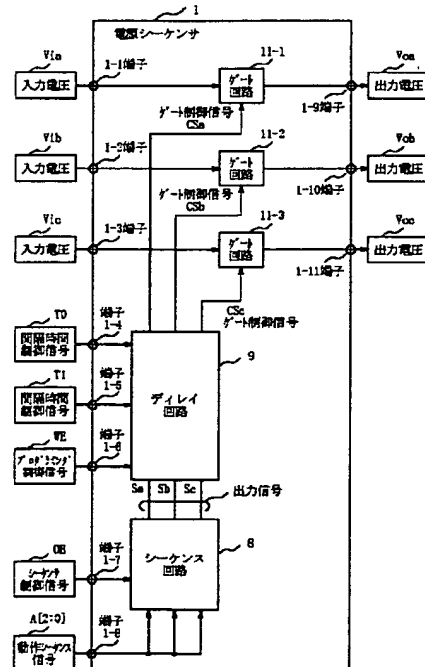
FF01 KK02 MB01 MB06

(54) 【発明の名称】 電源オン/オフシーケンス制御装置

(57) 【要約】

【課題】複数の入力電圧の出力順序、時間間隔を可変させる。

【解決手段】電源シーケンサ1の内部には、T1-7及びT1-8からのシーケンサ制御信号OE及び動作シーケンス信号を決定して出力信号Sa、Sb、Scを出力するシーケンス回路8と、出力信号Sa、Sb、Sc及びT1-4~T1-5からの間隔時間制御信号T0、T1、T1-6からのプログラミング制御信号WEを受信して動作シーケンスの間隔時間を決定してゲート制御信号CSa、CSb、CScを出力するディレイ回路9と、T1-1、T1-2、T1-3からの入力電圧Via、Vib、Vicをディレイ回路9からのゲート制御信号CSa、CSb、CScによって出力順序及び相互の時間間隔が制御されて、T1-9、T1-10、T1-11へ出力電圧Voa、Vob、Vocとして出力させるゲート回路11-1、11-1、11-2とを有している。



【特許請求の範囲】

【請求項1】 複数種類の入力電圧を出力電圧として出力させるのに前記複数の数から考えられる複数個の順序シーケンスを予め記憶する第1の記憶手段と、前記順序シーケンス内の各出力電圧間の間隔時間のデータを複数種類予め記憶する第2の記憶手段と、前記複数種類の入力電圧を前記出力電圧として出力（オン）又は出力断（オフ）する場合に、外部から第1の制御信号を受信すると前記第1の記憶手段から前記第1の制御信号の内容に対応する順序シーケンスを選出し、前記外部から第2の制御信号を受信すると前記第2の記憶手段から前記第2の制御信号に対応する間隔時間のデータを選出し、前記複数種類の入力電圧を前記選出した順序シーケンスで且つ前記選出した間隔時間で出力（オン）又は出力断（オフ）させる出力制御手段とを備えることを特徴とする電源オン／オフシーケンス制御装置。

【請求項2】 前記第1及び第2の記憶手段及び出力制御手段を含む機能手段並びに前記複数種類の入力電圧及び出力電圧、前記第1の制御信号、前記順序シーケンス決定信号、前記間隔時間制御信号及び第2の制御信号を含む信号を接続する複数の端子が一チップのLSIとして構成されていることを特徴とする請求項1記載の電源オン／オフシーケンス制御装置。

【請求項3】 複数種類の入力電圧を出力電圧として出力させる前記複数の数から考えられる複数個の順序シーケンスを予め記憶としていて外部からの第1の制御信号及び順序シーケンス決定信号の受信によって前記複数種類の入力電圧の出力時（オン時）及び出力断時（オフ時）の動作シーケンスを前記記憶の複数個の順序シーケンスから選出してシーケンス出力信号を出力するシーケンス回路と、前記順序シーケンス内の各出力電圧間の間隔時間データを予め複数種類記憶し、前記外部からの間隔時間制御信号及び第2の制御信号を受信すると前記シーケンス回路からの前記シーケンス出力信号を前記間隔時間制御信号の内容によって前記記憶の複数種類の間隔時間データから選出した前記間隔時間に従って順次ゲート制御信号として出力するディレイ回路と、このディレイ回路からの前記ゲート制御信号によって順次開閉されて前記複数種類の入力電圧を前記シーケンス回路で決定された順序で前記出力電圧として出力させる複数のゲート回路とを有することを特徴とする電源オン／オフシーケンス制御装置。

【請求項4】 前記シーケンス回路、前記ディレイ回路及び前記複数のゲート回路並びに前記複数種類の入力電圧及び出力電圧、前記第1の制御信号、前記順序シーケンス決定信号、前記間隔時間制御信号及び第2の制御信号を含む信号を接続する複数の端子が一チップのLSIとして構成されていることを特徴とする請求項3記載の電源オン／オフシーケンス制御装置。

【請求項5】 複数種類の入力電圧を出力電圧として出

力させるのに前記複数の数から考えられる順序シーケンスを予め記憶する第1の記憶部と前記順序シーケンス内の各出力電圧間の間隔時間のデータを複数種類予め記憶する第2の記憶部とを含むメモリと、前記間隔時間の時間を発生するタイマと、外部からの第1の制御信号及び順序シーケンス決定信号の受信によって前記複数種類の入力電圧の出力時（オン時）及び出力断時（オフ時）の前記順序シーケンス決定信号の内容に対応する順序シーケンスを前記メモリ内の前記第1の記憶部から選出し、前記外部からの間隔時間制御信号及び第2の制御信号を受信すると前記間隔時間制御信号の内容に対応する間隔時間データを前記メモリ内の前記第2の記憶部から選出し、前記選出した順序シーケンス及び間隔時間データを基にし前記タイマから発生する間隔時間に従って順次にゲート制御信号を出力するCPUと、前記ゲート制御信号によって前記複数種類の入力電圧のそれぞれが入力されていて前記ゲート制御信号によって開閉されて前記複数の種類の出力電圧として出力（オン）及び出力断（オフ）させる複数のゲート回路とを有することを特徴とする電源オン／オフシーケンス制御装置。

【請求項6】 前記メモリ、前記タイマ、前記CPU及び前記複数のゲート回路を含む回路並びに前記複数種類の入力電圧及び出力電圧、前記第1の制御信号、前記順序シーケンス決定信号、前記間隔時間制御信号及び第2の制御信号を含む信号を接続する複数の端子が一チップのLSIとに構成されていることを特徴とする請求項5記載の電源オン／オフシーケンス制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電源オン／オフシーケンス制御装置に関し、特に、電源のオン／オフを順序付けて行う電源オン／オフシーケンス制御装置に関する。

【0002】

【従来の技術】 この種の従来例について図面を参照して説明する。

【0003】 図5は従来の電源オン／オフシーケンス制御装置の一例を示すブロック図である。

【0004】 図5において、この従来例のパソコンシステム用電源装置101は、実開平5-23232号公報の開示内容を示し、複数のコンセント108は、CPU104とディスプレイ105、プリンタ106及びハードディスク107の周辺機器との電源プラグが差し込まれる。選択スイッチ102は各コンセント108に電源供給する設定をCPUと周辺機器とに対応して行う。タイマー回路109はマスタスイッチ103により電源の投入又は切断が行われたとき予め設定された時間間隔と順序とに従ってコンセント108に電源の投入又は切断を行う。

【0005】

【発明が解決しようとする課題】この従来例においては、タイマー回路がマスタースイッチにより手で電源の投入又は切断が行われたとき、予め設定された時間間隔と順序とによってコンセントに電源の投入又は切断を行う構成になっているので、外部からの制御信号によって、電源をオンする順序またはオフする順序を任意に変更することができず、また、その時間間隔も変更することができないという問題点がある。

【0006】（発明の目的）本発明の目的は、電圧レベルの異なる複数の電源をオンする順序またはオフする順序シーケンスを外部からの制御信号によって任意に変更が可能であり、更にその順序シーケンス内の時間間隔を変更することができる電源オン／オフシーケンス制御装置を提供することにある。

【0007】

【課題を解決するための手段】本発明の電源オン／オフシーケンス制御装置は、複数種類の入力電圧を出力電圧として出力させるのに前記複数の数から考えられる複数の個の順序シーケンスを予め記憶する第1の記憶手段と、前記順序シーケンス内の各出力電圧間の間隔時間のデータを複数種類予め記憶する第2の記憶手段と、前記複数種類の入力電圧を前記出力電圧として出力（オン）又は出力断（オフ）する場合に、外部から第1の制御信号を受信する前記第1の記憶手段から前記第1の制御信号の内容に対応する順序シーケンスを選出し、前記外部から第2の制御信号を受信すると前記第2の記憶手段から前記第2の制御信号に対応する間隔時間のデータを選出し、前記複数種類の入力電圧を前記選出した順序シーケンスで且つ前記選出した間隔時間で出力（オン）又は出力断（オフ）させる出力制御手段とを有し、また、前記第1及び第2の記憶手段及び出力制御手段を含む機能手段並びに前記複数種類の入力電圧及び出力電圧、前記第1の制御信号、前記順序シーケンス決定信号、前記間隔時間制御信号及び第2の制御信号を含む信号を接続する複数の端子が一チップのLSIとして構成されている。

【0008】本発明の電源オン／オフシーケンス制御装置は、複数種類の入力電圧を出力電圧として出力させる前記複数の数から考えられる複数の個の順序シーケンスを予め記憶としていて外部からの第1の制御信号及び順序シーケンス決定信号の受信によって前記複数種類の入力電圧の出力時（オン時）及び出力断時（オフ時）の動作シーケンスを前記記憶の複数の個の順序シーケンスから選出してシーケンス出力信号を出力するシーケンス回路と、前記順序シーケンス内の各出力電圧間の間隔時間データを予め複数種類記憶し、前記外部からの間隔時間制御信号及び第2の制御信号を受信すると前記シーケンス回路からの前記シーケンス出力信号を前記間隔時間制御信号の内容によって前記記憶の複数種類の間隔時間データから選出した前記間隔時間に従って順次ゲート制御信号として出力するディレイ回路と、このディレイ回路か

らの前記ゲート制御信号によって順次開閉されて前記複数種類の入力電圧を前記シーケンス回路で決定された順序で前記出力電圧として出力させる複数のゲート回路とを有し、また、前記シーケンス回路、前記ディレイ回路及び前記複数のゲート回路並びに前記複数種類の入力電圧及び出力電圧、前記第1の制御信号、前記順序シーケンス決定信号、前記間隔時間制御信号及び第2の制御信号を含む信号を接続する複数の端子が一チップのLSIとして構成されている。

【0009】本発明の電源オン／オフシーケンス制御装置は、複数種類の入力電圧を出力電圧として出力させるのに前記複数の数から考えられる順序シーケンスを予め記憶する第1の記憶部と前記順序シーケンス内の各出力電圧間の間隔時間のデータを複数種類予め記憶する第2の記憶部とを含むメモリと、前記間隔時間の時間が発生するタイマと、外部からの第1の制御信号及び順序シーケンス決定信号の受信によって前記複数種類の入力電圧の出力時（オン時）及び出力断時（オフ時）の前記順序シーケンス決定信号の内容に対応する順序シーケンスを前記メモリ内の前記第1の記憶部から選出し、前記外部からの間隔時間制御信号及び第2の制御信号を受信すると前記間隔時間制御信号の内容に対応する間隔時間データを前記メモリ内の前記第2の記憶部から選出し、前記選出した順序シーケンス及び間隔時間データを基にし前記タイマから発生する間隔時間に従って順次にゲート制御信号を出力するCPUと、前記ゲート制御信号によって前記複数種類の入力電圧のそれぞれが入力されていて前記ゲート制御信号によって開閉され前記複数の種類の出力電圧として出力（オン）及び出力断（オフ）させる複数のゲート回路とを有し、また、前記メモリ、前記タイマ、前記CPU及び前記複数のゲート回路を含む回路並びに前記複数種類の入力電圧及び出力電圧、前記第1の制御信号、前記順序シーケンス決定信号、前記間隔時間制御信号及び第2の制御信号を含む信号を接続する複数の端子が一チップのLSIとに構成されている。

【0010】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0011】図1は本発明の第1の実施の形態の電源シーケンサ1は、一チップのLSI内に構成され、端子（以下T）1-1、1-2、1-3のそれぞれには、入力電圧Via、Vib、Vicが接続され、T1-4、1-5にはそれぞれ入力電圧Via、Vib、Vicを出力させる場合の間隔時間を制御する間隔時間制御信号T0、T1が接続され、T1-6には内部のディレイ回路9に対するプログラミング制御信号が接続され、T1-7、T1-8には内部のシーケンス回路8に対して入力電圧Via、Vib、Vicのオン、オフの順序を予め設定された最大8種類の順序に設定するシーケンサ制御信号、動作シーケンス信号が接続され、T1-9、T

1-10, T1-11には入力電圧のシーケンス制御された出力電圧Voa, Vob, Vocが出力される。

【0012】電源シーケンサ1の内部には、T1-7及びT1-8からのシーケンサ制御信号OE及び動作シーケンス信号A[2:0]の受信によって入力電圧Via, Vib, Vicのオン時(出力時)及びオフ時(出力断)の動作シーケンスを予め記憶している複数の動作シーケンスの中から一つを決定して出力信号Sa, Sb, Scを出力するシーケンス回路8と、出力Sa, Sb, Sc及びT1-4~T1-5からの間隔時間制御信号T0, T1, T1-6からのプログラミング制御信号WEを受信して動作シーケンスの間隔時間を決定してゲート制御信号CSa, CSb, CScをシーケンス回路8で決定した順序で出力するディレイ回路9と、T1-1, T1-2, T1-3からの入力電圧Via, Vib, Vicをディレイ回路9からのゲート制御信号CSa, CSb, CScによって出力順序及び相互の時間間隔が制御されて、T1-9, T1-10, T1-11へ出力電圧Voa, Vob, Vocとして出力させるゲート回路11-1, 11-2, 11-3とを有している。

【0013】図2は本第1の実施の形態の電源シーケンサにおけるシーケンス回路の入力制御信号による入力電圧に対する予め設定された出力電圧の動作シーケンス及び間隔時間の設定情報を示す図で、(a)はON時、OFF時の入力電圧に対する出力電圧の動作シーケンスの一例を示す図、(b)は間隔時間の設定情報の一例を示す図である。

【0014】図2において、本第1の実施の形態の電源シーケンサ1においては、例えば、T1-8の動作シーケンス信号A[2:0]として“001”が入力され、シーケンサ信号OEとしてT1-7に“0”信号の入力されたとすると、入力電圧Via, Vib, Vicを出力させるON時には出力電圧としてVoa→Voc→Vobの順に出力させ、OFF時には同様な信号の入力されると、シーケンス回路8によってVob→Voc→Voaの順に出力電圧が停止させることをしめしている。

【0015】また、ON時及びOFF時の各出力電圧の間隔は、例えばT1-4, 1-5に間隔時間制御信号T0, T1としてそれぞれに“0”, “1”が入力されると、シーケンス回路8で決定された順序の各順序間の間隔時間は10n秒であることが決定される。

【0016】即ち、上記の例においては、ON時には最初Voaを出力し、次に10n秒後にVoc、そのまた10秒n後にVobを出力させるべく、ディレイ回路9がゲート回路11-1~11-3にゲート制御信号CSa, CSb, CScを出力する。

【0017】次に、本第1の実施の形態の電源シーケンサ1の動作について図1、図2を参照して説明する。

【0018】本第1の実施の形態の電源シーケンサ1においては、シーケンス回路8は、予め図2の(a)に示

す動作シーケンスがプログラミングされている。外部からの信号、シーケンサ制御信号(OE)及び動作シーケンス信号(A[2:0])の値によって、シーケンス回路8はシーケンス回路出力信号(Sa, Sb, Sc)を、それぞれ任意の時間間隔で出力する。ここでは例として1n秒。図2の(b)の通り1n秒は次段のディレイ回路9の最小電源投入間隔時間である。つまり、動作シーケンス信号(A[2:0])が0で且つシーケンサ制御信号(OE)が0の場合、Sa→(1n秒間隔)→Sb→(1n秒間隔)→Scとなる。ディレイ回路9では、前段のシーケンス回路8からの出力信号である、シーケンス回路出力信号(Sa, Sb, Sc)の時間間隔を、更に図2の(b)に示す通り、間隔時間制御信号(T0, T1)の値によって予め決められた時間間隔でゲート制御信号(CSa, CSb, CSc)をそれぞれ出力する。ディレイ回路9のプログラミングは、ディレイ回路プログラミング制御信号(WE)をイネーブルにして、任意の値を間隔時間制御信号(T0, T1)で書き込むことが可能である。ディレイ回路9より出力されたゲート制御信号(CSa, CSb, CSc)は、それぞれのゲート回路11-1~11-3へ繋がり、入力電圧2(Via, vib, Vic)を、それぞれ間隔時間制御信号(T0, T1)の間隔時間による順序で出力電圧(Voa, Vob, Voc)として出力する。

【0019】電源OFF時も同様に、動作シーケンス信号(A[2:0])が0で且つシーケンサ制御信号(OE)が0の場合、シーケンス回路8からSc→(1n秒間隔)→Sb→(1n秒間隔)→Saの順に出力信号が出力され、ディレイ回路9からは間隔時間制御信号(T0, T1)の値によって、ONの場合と同様に、ゲート信号(CSa, CSb, CSc)をそれぞれ出力する。

【0020】図3は本発明の第2の実施の形態の電源シーケンサを示すブロック図である。

【0021】図3においては、本第2の実施の形態の電源シーケンサ1Aは、図1に示す電源シーケンサ1と異なり、シーケンス回路8及びディレイ回路9の独立した2回路の代りに、CPU10によってこの2回路と同等な制御を行う。

【0022】即ち、電源シーケンサ1Aは、電源シーケンサ1と、同様に端子(T)11-1~11-11を有し、また、同じ番号のTには同じ入出力電圧及び同じ信号が接続され、間隔時間制御信号T0, T1, プログラム制御信号WE, シーケンサ制御信号OE及び動作シーケンス信号A[2:0]にインタフェースしてゲート信号CSa, CSb, CScを出力するI/O回路10aと、図2の(a)及び(b)に対応するデータを格納しているメモリ10bと、間隔時間の基となるデータを出力するタイマ10cと、I/O回路10aからの入力信号によって、メモリ10b、タイマ10cを制御してI/O回路10aからゲート制御信号CSa, CS

b, CS cを出力するCPU 10とを有し、他は電源シーケンサ1と同様な構成を有している。

【0023】本第2の実施の形態の電源シーケンサ1Aの動作は、電源シーケンサ1のシーケンス回路8及びディレイ回路9の代りにCPU 10がメモリ10b、タイマ10cを制御して電源シーケンサ1の場合と同様にゲート制御信号CS a, CS b, CS cをI/O回路10aから出力しており、詳細な動作説明を省略する。

【0024】図4は本発明の第3の実施の形態の電源シーケンサを示すブロック図である。

【0025】図4において、本第3の実施の形態の電源シーケンサ1aは、図1に示す第1の実施の形態の電源シーケンサ1に対して、入力電圧が3以上の場合に拡張した場合の構成となっており、シーケンス回路8a、ディレイ回路9aおよびゲート回路11a-1~11a-nはそれぞれシーケンス回路8、ディレイ回路9およびゲート回路11-1~11-3に対応するものである。

【0026】また、シーケンス回路8aには入力電圧V ia~V inに対応して、最大n階乗(n!)の種類の動作シーケンスが格納されており、ディレイ回路9aでは間隔時間制御信号T 0~T mに対応して最大2ⁿ個の間隔時間を発生することができる。

【0027】従って、本第3の実施の形態の電源シーケンサ1aの入力電圧V ia~V inに対する出力電圧V oa~V onのON時、OFF時の動作シーケンス及びそのシーケンス内の間隔時間は、それぞれ、外部から入力される動作シーケンス信号A[k:0]及び間隔時間制御信号T 0~T mの二値符号データによって決定される。

【0028】尚、入力電圧の個数をnとした場合、n! ≤ 2ⁿの関係によってkのビット数が決められる。

【0029】本第3の実施の形態の電源シーケンサ1aの動作については、図1に示す第1の実施の形態の動作シーケンス1とほぼ同等なので詳細な動作説明を省略する。

【0030】

【発明の効果】以上説明したように本発明は、複数種類の入力電圧を出力電圧として出力させるのに複数の数から考えられる複数個の順序シーケンスを予め記憶する第1の記憶手段と、順序シーケンス内の各出力電圧間の間隔時間のデータを複数種類予め記憶する第2の記憶手段と、複数種類の入力電圧を前記出力電圧として出力(オン)又は出力断(オフ)する場合に、外部から第1の制御信号を受信すると第1の記憶手段から第1の制御信号の内容に対応する順序シーケンスを選出し、外部から第2の制御信号を受信すると第2の記憶手段から第2の制

御信号に対応する間隔時間のデータを選出し、複数種類の入力電圧を選出した順序シーケンスで且つ選出した間隔時間で出力(オン)又は出力断(オフ)させる出力制御手段とを備えることにより、電圧レベルの異なる複数の入力電圧を出力(オン)するまたは出力断(オフ)する順序シーケンスを外部からの信号によって任意に変更することができ、更にその順序シーケンス内の間隔時間も任意に変更することができるので、複数の電圧を使用する装置に適した電圧の入力及び切断の順序シーケンスを提供することができる効果がある。

【0031】また、一チップのLSI化することにより、使用する装置に大きな場所をとらずに組込ませることができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の電源シーケンサを示すブロック図である。

【図2】本第1の実施の形態の電源シーケンサにおけるシーケンス回路の入力制御信号による入力電圧に対する予め設定された出力電圧の動作シーケンス及び間隔時間の設定情報を示す図で、(a)はON時のOFF時の入力電圧に対する出力電圧の動作シーケンスの一例を示す図、(b)は間隔時間の設定情報の一例を示す図である。

【図3】本発明の第2の実施の形態の電源シーケンサを示すブロック図である。

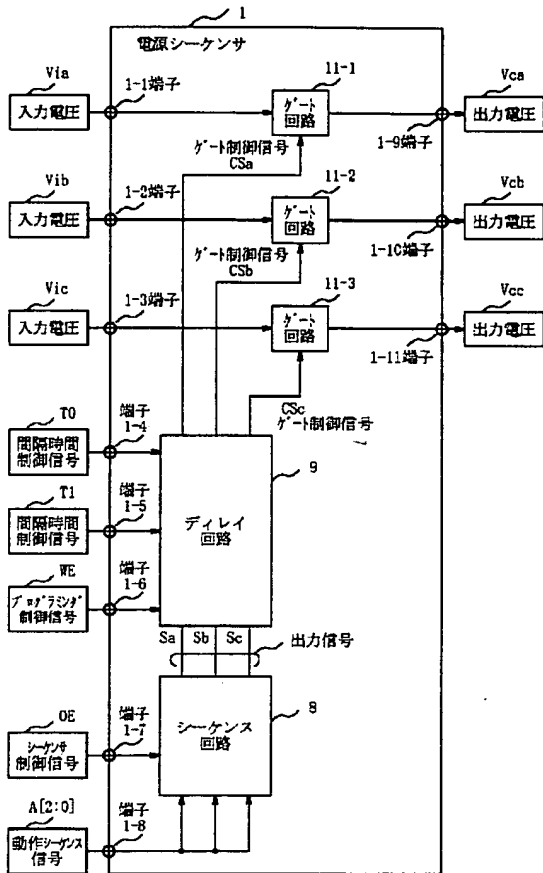
【図4】本発明の第3の実施の形態の電源シーケンサを示す図である。

【図5】従来の電源オン/オフシーケンス制御装置の一例を示すブロック図である。

【符号の説明】

1, 1A, 1a 電源シーケンサ
1-1~1-11, 1a-1~1a-n, 1a-21~1a-2m, 1a-31, 1a-41, 1a-51, 1a-61~1a-6n 端子(T)
8, 8a シーケンス回路
9, 9a ディレイ回路
10 CPU
10a I/O回路
10b メモリ
10c タイマ
11-1, 11-2, 11-3 ゲート回路
11a-1, ~11a-n ゲート回路
A[2:0], A[k:0] 動作シーケンス信号
OE シーケンサ制御信号
T0, T1, ~Tm 間隔時間制御信号

【図1】



【図2】

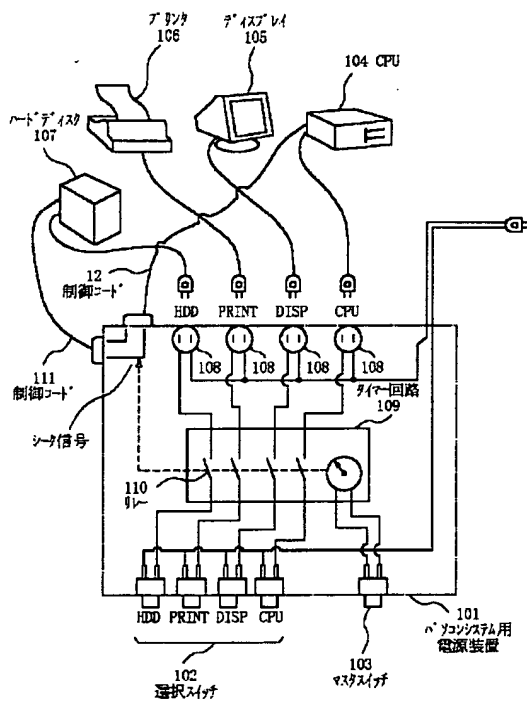
A2	A1	A0	OE	動作シーケンス一覧	
				ON時	OFF時
0	0	0	0	$V_{oa} \rightarrow V_{ob} \rightarrow V_{oc}$	$V_{cc} \rightarrow V_{ob} \rightarrow V_{oa}$
0	0	1	0	$V_{oa} \rightarrow V_{oc} \rightarrow V_{ob}$	$V_{cb} \rightarrow V_{oc} \rightarrow V_{oa}$
0	1	0	0	$V_{ob} \rightarrow V_{oa} \rightarrow V_{oc}$	$V_{cc} \rightarrow V_{oa} \rightarrow V_{ob}$
0	1	1	0	$V_{ob} \rightarrow V_{oc} \rightarrow V_{oa}$	$V_{ca} \rightarrow V_{oc} \rightarrow V_{ob}$
1	0	0	0	$V_{oc} \rightarrow V_{oa} \rightarrow V_{ob}$	$V_{cb} \rightarrow V_{oa} \rightarrow V_{oc}$
1	0	1	0	$V_{oc} \rightarrow V_{ob} \rightarrow V_{oa}$	$V_{ca} \rightarrow V_{ob} \rightarrow V_{oc}$

(a)

T1	T0	間隔時間 [秒]
0	0	1 n
0	1	10 n
1	0	20 n
1	1	30 n

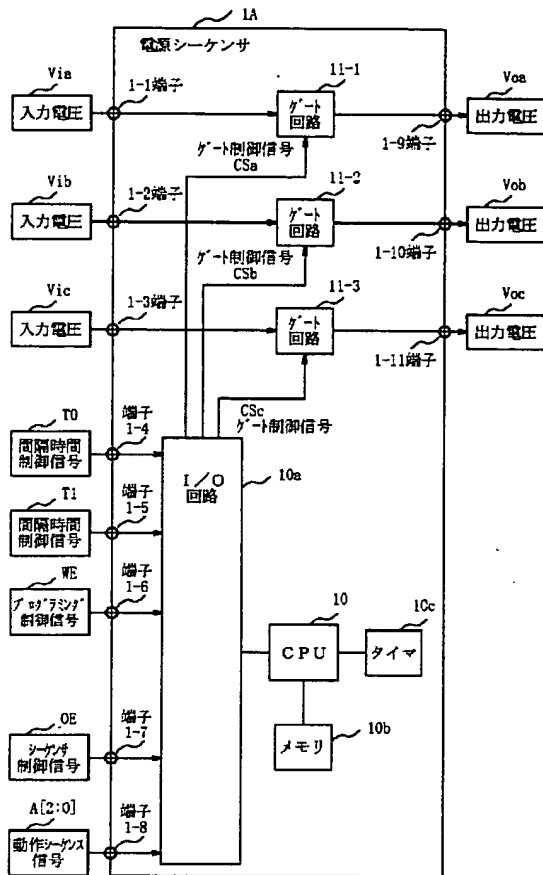
(b)

【図5】



108 : コンセント

【図3】



【図4】

